

발송번호: 9-5-2005-046016648
 발송일자: 2005.09.20
 제출기일: 2005.11.20

수신 서울시 강남구 역삼동 677-25 큰길타워9층
 (한양특허법인)
 한양특허법인[김연수]

135-914

BEST AVAILABLE COPY

특 허 청 의견제출통지서

출 원 인 명 칭 마쯔시다덴기산교 가부시키키가이샤 (출원인코드: 519980650737)
 주 소 일본국 오사카후 가도마시 오아자 가도마 1006반지
 대 리 인 명 칭 한양특허법인
 주 소 서울시 강남구 역삼동 677-25 큰길타워9층(한양특허법인)
 지정된변리사 김연수

출 원 번 호 10-2003-0100139
 발 명 의 명 칭 고체 활상 장치 및 그 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법 시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

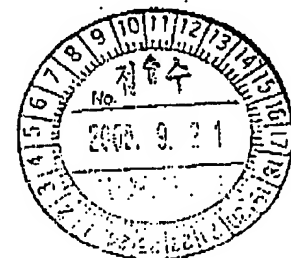
이 출원의 특허청구범위 제1항~14항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원의 상기 청구항에 기재된 발명은 고체활상장치 및 그 제조방법에 있어서 소자 분리부의 측면과 바닥면을 STI(Shallow Trench Isolation) 리크 스톱퍼가 둘러싸도록 하여 화면상의 얼룩이 작게 함에 그 특징이 있으나, 이는 한국공개특허공보 2003-1795(2003.1.8, 이하 인용발명이라 함)의 필드절연막 내에 도핑된 P형 불순물 확산시킴으로써 크로스토크 문제를 해결한 이미지센서 및 그 제조방법과 목적, 효과 및 구성이 유사하므로 이 발명이 속하는 기술 분야에서 통상의 지식을 가진자라면, 상기 인용발명로부터 본원발명을 용이하게 발명할 수 있습니다.

[첨 부]

첨부1 공개특허 제2003-1795호(2003.01.08) 1부. 끝.



특허청

2005.09.20
전기전자심사국
전자소자심사담당관실

심사관

나광표



<< 안내 >>

명세서 또는 도면 등의 보정서를 전자문서로 제출할 경우 매건 3,000원, 서면으로 제출할 경우 매건 13,000원의 보정료를 납부하여야 합니다.

보정료는 접수번호를 부여받아 이를 납부자번호로 "특허법·실용신안법·디자인보호법및상표법에 의한 특허료·등록료와 수수료의 징수규칙" 별지 제1호서식에 기재하여, 접수번호를 부여받은 날의 다음 날까지 납부하여야 합니다. 다만, 납부일이 공휴일(토요일·휴일을 포함한다)에 해당하는 경우에는 그날 이후의 첫 번째 근무일까지 납부하여야 합니다.

보정료는 국고수납은행(대부분의 시중은행)에 납부하거나, 인터넷지로(www.giro.go.kr)로 납부할 수 있습니다. 다만, 보정서를 우편으로 제출하는 경우에는 보정료에 상응하는 등상환을 동봉하여 제출하시면 특허청에서 납부해드립니다.

문의사항이 있으시면 ☎042)481-5970로 문의하시기 바랍니다.

서식 또는 절차에 대하여는 특허고객 콜센터(☎1544-8080)로 문의하시기 바랍니다.

(19) KOREAN INTELLECTUAL PROPERTY OFFICE (KR)

(12) UNEXAMINED PATENT PUBLICATION (A)

(51) Int. Cl.⁷ (11) Unexamined Pub. No. P2003-0001795
H01L 27/146 (43) Unexamined Pub. Date Jan. 8, 2003

5

(21) Appl. No. 10-2001-0037521

(22) Appl. Date June 28, 2001

10

(21) Applicant Hynix semiconductor Inc.
San 136-1, Ami-ri, Bubal-eub, Ichen-city,
Gyeonggido

(72) Inventor HOANG Jun
201-710 Samjung apartment, Yullyang-dong,
Sangdang-gu, Cheongju-city, Chungcheongbukdo

15

(74) Attorney Patent corporation SHINSUNG
Request for examination: None

(54) IMAGE SENSOR AND METHOD OF MANUFACTURING THE SAME

20 ABSTRACT

The present invention relates to an image sensor and a method
of manufacturing the image sensor, which use BSG (Boro
Silicate) as a field insulation film using shallow trench
25 device isolation, so that they can acquire a channel stop

region without additional ion implantation, thereby preventing crosstalk due to interdevice isolation and achieving the simplification of a manufacturing process. For this, the present invention provides an image sensor, including a
5 trench-shaped field insulation film locally formed by embedding a first conduction-type impurity in a first conduction-type semiconductor layer; a channel stop region formed by diffusing the first conduction-type impurity under the field insulation film; a gate electrode formed on the
10 semiconductor layer at a location away from the field insulation film; a second conduction-type first impurity region configured to abut on the channel stop region and the gate electrode; and a first conduction-type second impurity region formed on a boundary surface that abuts on the
15 semiconductor layer within the first impurity region.

Furthermore, the present invention provides a method of manufacturing the image sensor.

REPRESENTATIVE DRAWING

20 FIG. 2c

KEY WORDS

dark current, photodiode, crosstalk, channel stop region, STI

25 SPECIFICATION

BRIEF DESCRIPTION OF DRAWINGS

FIG. 1 is a schematic diagram of an typical image sensor having a trench-type field insulation film; and

- 5 FIGS. 2a to 2c are sectional views illustrating a process of manufacturing an image sensor according to an embodiment of the present invention.

*Description of reference numerals of principal elements

- 10 20: semiconductor layer
23: field insulation film
24, 25, 26: gate electrode
P+: channel stop region

15 DETAILED DESCRIPTION OF THE INVENTION

OBJECT OF THE INVENTION

FIELD OF THE INVENTION AND PRIOR ART

The present invention relates to a semiconductor device, particularly to a method of manufacturing an image sensor, and more particularly to an image sensor and image sensor manufacturing method using shallow trench device isolation.

In general, an image sensor refers to a semiconductor device that converts an optical image into an electric signal. Of
25 such image sensors, a Charge Coupled Device (CCD) is a device

in which respective MOS (Metal-Oxide-Silicon) capacitors are located very close to each other and charge carriers are stored in and transferred to the capacitors, and a CMOS (Complementary MOS; hereinafter "CMOS") image sensor is a
5 device that adopts a switching method of forming a number of MOS transistors equal to the number of pixels, using CMOS technology that utilizes a control circuit and a signal processing circuit as peripheral circuits, and sequentially detecting outputs using the MOS transistors.

10 In the manufacture of such various image sensors, efforts to improve the photosensitivity of the image sensors have been made. One such effort relates to a light condensing technology. For example, a CMOS image sensor is composed of a photodiode for sensing light and a CMOS logic circuit part for
15 converting sensed light into data by processing the sensed light into an electric signal. In order to improve photosensitivity, an effort to increase the ratio of the area of a photodiode to the entire area of an image sensor (generally referred to as a "Fill Factor") has been made.

20 FIG. 1 is a schematic diagram of an typical image sensor having a trench-type field insulation film.

Referring to FIG. 1, in a typical image sensor, a semiconductor layer in which a P++ layer 10 and a P-Epi layer 11 having high concentrations are stacked is utilized.
25 Hereinafter the P++ layer 10 and the P-Epi layer 11 are

referred to as a semiconductor layer.

In the semiconductor layer, a trench-type field insulation film 12 is locally formed, gate electrodes 13, 14 and 15, for example, transfer gates, are arranged in a region away from
5 the field insulation film 12, a photodiode impurity region (n-) is formed in the interior of the semiconductor layer to a predetermined depth while abutting on the gate electrodes 13, 14 and 15 and the field insulation film 12, a swallow photodiode impurity region P0 is disposed in a boundary layer
10 that abuts on the upper portion of the semiconductor layer above the photodiode impurity region n-, and an impurity region (n+) connected to a sensing node is disposed.

Meanwhile, since, in the above-described conventional image sensor, the field insulation film 12 is of a simple trench
15 type, the image sensor has a photodiode shape in which only a Bird's beak portion in LOCOS (LOCAl Oxidation of Silicon) method expands.

Accordingly, an improvement that must be additionally achieved from the point of view of the increase in photodiode capacity
20 is required, and a method capable of reducing crosstalk, in which image data is intermixed between unit pixels, through more secure isolation between unit pixels is required.

TECHNICAL SUBJECTS TO BE SOLVED BY THE INVENTION

25

Accordingly, the present invention has been made keeping in mind the above problems occurring in the prior art, and an object of the present invention is to provide an image sensor and a method of manufacturing the image sensor, which use BSG
5 (Boro Silicate) as a field insulation film using shallow trench device isolation, so that they can acquire a channel stop region without additional ion implantation, thereby preventing crosstalk by interdevice isolation and achieving the simplification of a manufacturing process.

10

CONSTRUCTION AND OPERATION OF THE INVENTION

In order to achieve the above object, the present invention provides a method of manufacturing an image sensor, including
15 a first step of forming a trench by selectively etching a first conduction-type semiconductor layer; a second step of forming a field insulation film doped with a first conduction-type impurity embedded in the trench; a third step of forming a channel stop region by diffusing the first conduction-type
20 impurity, with which the field insulation film is doped, under the field insulation film by performing heat treatment; a fourth step of forming a gate electrode on the semiconductor layer; a fifth step of forming a second conduction-type first impurity region, which abuts the channel stop region and the
25 gate electrode, by ion implantation; and a fifth step of

forming a first conduction-type second impurity region on a boundary surface that abuts on the semiconductor layer within the first impurity region.

Furthermore, in order to achieve the above object, the present
5 invention provides an image sensor, including a trench-shaped field insulation film locally formed by embedding a first conduction-type impurity in a first conduction-type semiconductor layer; a channel stop region formed by diffusing the first conduction-type impurity under the field insulation
10 film; a gate electrode formed on the semiconductor layer at a location away from the field insulation film; a second conduction-type first impurity region configured to abut on the channel stop region and the gate electrode; and a first conduction-type second impurity region formed on a boundary
15 surface that abuts on the semiconductor layer within the first impurity region.

In order to describe the present invention in detail so that those skilled in the technical field to which the present invention pertains can easily implement the technical spirit
20 of the present invention, the most preferred embodiment of the present invention is described with reference to FIGS. 2a to 2c.

FIG. 2c is a cross section of an image sensor according to an embodiment of the present invention.

25 Referring to FIG. 2c, the image sensor of the present

invention includes a trench-shaped field insulation film 23 locally formed by embedding a P-type impurity in a P-type semiconductor layer 20, a channel stop region P+ formed by diffusing a P-type impurity under the field insulation film 23, gate electrodes 24 and 25 formed on the semiconductor layer 20 at a location away from the field insulation film 23, an N-type impurity region n- configured to abut on the channel stop region P+ and the gate electrodes 24 and 25, and a P-type impurity region P0 formed on a boundary surface that abuts on the semiconductor layer 20 within the N-type impurity region n-.

Preferably, the P-type impurity is BSG (Boro Silicate Glass).

A process of manufacturing the image sensor having the above-described construction is described in detail below.

FIGS. 2a to 2c are sectional views illustrating a process of manufacturing an image sensor, according to an embodiment of the present invention.

First, as illustrated in FIG. 2a, after a pad oxide film 21/a buffer polysilicon film (not shown) have been successively coated, a photosensitive film pattern 22 is formed to form a trench. A typical image sensor uses P++ and P-Epi layers having high-concentrations. Reference numeral '20' designates a semiconductor layer in which the P++ layer and the P-Epi layer are stacked.

Thereafter, as shown in FIG. 2b, after a trench (not shown)

has been formed by etching the pad oxide film 21 and the semiconductor layer 20 using the photosensitive film pattern 22 as a mask, the photosensitive film pattern 22 is removed by performing PR stripping, and annealing is then performed to
5 form a trench profile.

Thereafter, after the trench has been filled up by depositing a material doped with a P-type impurity, for example, BSG (Boro Silicate Glass), a field insulation film 23 having an STI structure is formed through Chemical Mechanical Polishing
10 (hereinafter referred to as CMP).

Thereafter, a channel stop region P+ may be formed by diffusing a P-type impurity doped in the field insulation film 23 through a simple thermal process. In the following process, the diffusion may be naturally achieved.
15 Accordingly, additional processes, such as ion implantation, can be omitted. And, by securing isolation between pixels, problems, including crosstalk, can be solved.

Thereafter, as shown in FIG. 2c, to form the gate electrodes of four NMOS transistors of a unit pixel, after a polysilicon
20 film and a tungsten silicide film have been successively coated and a photosensitive film (not shown) has been coated, exposure and development are performed using a gate electrode formation mask. At this time, since the doping profile of a low-voltage buried photodiode on one surface of a gate
25 electrode to be formed later determines charge transfer

efficiency, the thickness of the gate electrode is made sufficiently large, so that high-energy N-type ion implantation and low-energy P-type ion implantation, which are performed to form the low-voltage buried photodiode, can be
5 self-aligned on one surface of the gate electrode (thick polycide process).

If the thickness of the gate electrode is not sufficiently large, phosphorus P31, that is, a dopant, infiltrates into the gate electrode at the time of high-energy N-type ion
10 implantation, so that the high-energy P-type ion implantation and the low-energy P-type ion implantation cannot be self-aligned on one surface of the gate electrode and, thus, charge transfer efficiency is reduced.

Thereafter, after gate electrodes 24, 25 and 26 have been
15 formed by removing the portions of the polycide layer other than portions for the gate electrodes 24, 25 and 26 using dry etching and a photosensitive film (not shown) has been coated to form a low-voltage buried photodiode, high-energy N-type ion implantation is performed. At this time, one surface of a
20 high-energy N-type ion implantation mask is aligned on the central portions of the gate electrodes, the other surface thereof is aligned on a boundary surface between the field oxide film and the active region, and part thereof must enter into the active region. That is, the low-voltage photodiode
25 must include a region in which low-energy P-type ion

implantation is performed and high-energy N-type ion implantation is not performed (connection window structure).

The reason for this is that the region formed by the low-energy P-type ion implantation must not be isolated from the P-Epi layer by the region formed by the high-energy N-type ion implantation but must be connected to the P-Epi layer. If the low-energy P-type region is not connected to the P-Epi layer, the voltage buried photodiode does not normally operate but simply operates like a PN junction. After the first deep buried PN junction has been formed in the P-Epi layer having a low concentration through the above-described process, the photosensitive film is removed.

Thereafter, after a photosensitive film (not shown) has been coated so as to form a low-voltage buried photodiode, low-energy P-type ion implantation is performed using a low-energy P-type ion implantation mask. At this time, one surface of the low-energy P-type ion implantation mask is aligned at the center of the gate electrode, the other surface thereof is aligned on a boundary surface between the field oxide film and an active region, and there is no part that enters into the active region. Accordingly, a low-energy P-type ion implantation region must be electrically connected to the low-concentration P-Epi layer on a boundary surface between the field insulation film 13, on which high-energy N-type ion implantation is not performed, and the active region, and

always has an equipotential when the low-voltage buried photodiode operates. After, a high-energy N-type ion implantation layer and a second shallow PN junction have been formed through this process, the photosensitive film (not
5 shown) is removed.

It has been noted through the embodiment that the present invention uses the insulation film doped with the impurity, such as BSG, after the field insulation film having an STI structure has been formed, so that isolation between pixels is
10 effectively achieved, thus solving the problem of crosstalk, and the ion implantation process for forming the channel stop region may be omitted.

It must be noted that, although the technical spirit of the present invention has been described in detail based on the
15 preferred embodiment, the above-described embodiment has been given for the illustration of the present invention, not for the limitation of the present invention. Those skilled in the technical field of the present invention can appreciate that various embodiments can be implemented within the range of the
20 technical spirit of the present invention.

EFFECT OF THE INVENTION

The above-described present invention can minimize the
25 crosstalk of data between pixels and dark current and can

allow the ion implantation process to be omitted, so that it is ultimately expected that the performance of the image sensor can be significantly improved and the simplification of manufacturing processes can be achieved.

5

(57) CLAIMS

CLAIM 1

A method of manufacturing an image sensor, comprising:

- 10 a first step of forming a trench by selectively etching a first conduction-type semiconductor layer;
- a second step of forming a field insulation film doped with a first conduction-type impurity embedded in the trench;
- a third step of forming a channel stop region by diffusing the
- 15 first conduction-type impurity, with which the field insulation film is doped, under the field insulation film by performing heat treatment;
- a fourth step of forming a gate electrode on the semiconductor layer;
- 20 a fifth step of forming a second conduction-type first impurity region, which abuts the channel stop region and the gate electrode, by ion implantation; and
- a fifth step of forming a first conduction-type second impurity region on a boundary surface that abuts on the
- 25 semiconductor layer within the first impurity region.

CLAIM 2

The image sensor as set forth in claim 1, wherein the first conduction type impurity is BSG (Boro Silicate Glass).

5

CLAIM 3

The method set forth in claim 1, wherein the first conduction type is a P type and the second conduction type is an N type.

10 CLAIM 4

An image sensor, comprising:

a trench-shaped field insulation film locally formed by embedding a first conduction-type impurity in a first conduction-type semiconductor layer;

15 a channel stop region formed by diffusing the first conduction-type impurity under the field insulation film;

a gate electrode formed on the semiconductor layer at a location away from the field insulation film;

a second conduction-type first impurity region configured to
20 abut on the channel stop region and the gate electrode; and

a first conduction-type second impurity region formed on a boundary surface that abuts on the semiconductor layer within the first impurity region.

25 CLAIM 5

The image sensor as set forth in claim 4, wherein the first conduction type impurity is BSG (Boro Silicate Glass).

CLAIM 6

- 5 The image sensor as set forth in claim 4, wherein the first conduction type is a P type and the second conduction type is an N type.

공개특허 제2003-1795호(2003.01.08) 1부.

특 2003-0001795

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
H01L 27/146

(11) 공개번호 특2003-0001795

(43) 공개일자 2003년04월08일

(21) 출원번호	10-2001-0037521
(22) 출원일자	2001년06월28일
(71) 출원인	주식회사 하이닉스반도체
(72) 발명자	경기 이천시 부발읍 마미리 산136-1 황준
(74) 대리인	충청북도청주시상당구충달동삼정아파트201-710 특허법인 신성

심사청구 : 없음

(54) 이미지센서 및 그 제조 방법

요약

본 발명은 이미지센서에 관한 것으로, 특히 산화물 트랜치 소자배리를 이용하여, 필드 절연막으로 BSG(Boro Silicate)를 이용함으로써, 추가의 미온주입없이 채널 스탑 영역을 확보하여 소자간 분리에 따른 크로스토크를 방지할 수 있을 뿐만 아니라 공정 단순화를 기할 수 있는 이미지센서 및 그 제조 방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 제1도전형의 반도체층에 제1도전형 불순물이 매립되어 국부적으로 형성된 트랜치 형상의 필드 절연막; 상기 필드 절연막 하부로 상기 제1도전형 불순물이 확산되어 형성된 채널 스탑 영역; 상기 필드 절연막과 떨어져 상기 반도체층 상에 형성된 게이트전극; 상기 채널 스탑 영역 및 상기 게이트전극에 접하는 제2도전형의 제1불순물 영역; 및 상기 제1불순물 영역 내의 상기 반도체층과 접하는 계면에 형성된 제1도전형의 제2불순물 영역을 포함하여 이루어지는 이미지센서를 제공한다.

또한, 본 발명은 이미지센서 제조 방법을 제공한다.

도면

도 1

색인

앞전류, 포터다이오드, 크로스 토크, 채널 스탑 영역, STI.

도면

도면의 주요부분에 대한 설명

도 1은 통상적인 트랜치형 필드 절연막을 갖는 이미지센서의 개략도,
도 2a 내지 도 2c는 본 발명의 실시예에 따른 이미지센서 제조 공정을 도시한 단면도.

※ 도면의 주요부분에 대한 부호의 설명 ※

20 : 반도체층

23 : 필드 절연막

24, 25, 26 : 게이트전극

P+ : 채널 스탑 영역

본 발명의 상세한 설명

특 2003-0001795

본 발명의 목적**본 발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 반도체 소자에 관한 것으로 특히, 이미지센서 제조 방법에 관한 것으로, 더욱 상세하게는 삼로우 트랜치 소자분리를 이용한 이미지센서 및 그 제조 방법에 관한 것이다.

일반적으로, 이미지센서라 함은 광학 영상(Optical image)을 전기 신호로 변환시키는 반도체 소자로서, 이중 적하결합소자(CCD : Charge Coupled Device)는 개개의 MOS(Metal-Oxide-Silicon) 커패시터가 서로 매우 근접한 위치에 있으면서 전하 캐리어가 커패시터에 저장되고 이동되는 소자이며, CMOS(Complementary MOS; 이하 CMOS) 이미지센서는 제어회로(Control circuit) 및 신호처리회로(Signal processing circuit)를 주변회로로 사용하는 CMOS 기술을 이용하여 화소수만큼 MOS트랜지스터를 만들고 이것을 이용하여 차례 차례 출력(Output)을 검출하는 스위칭 방식을 채용하는 소자이다.

이러한 다양한 이미지센서를 제조함에 있어서, 이미지센서의 감광도(Photo sensitivity)를 증가시키기 위한 노력들이 진행되고 있는 바, 그 중 하나가 정광기술이다. 예컨대, CMOS 이미지센서는 빛을 감지하는 포토다이오드와 감지된 빛을 전기적 신호로 처리하여 데이터화하는 CMOS 로직회로부분으로 구성되어 있는 바, 광감도를 높이기 위해서는 전체 이미지센서 면적에서 포토다이오드의 면적이 차지하는 비율(이를 통상 Fill Factor라 한다)을 크게 하려는 노력이 진행되고 있다.

도 1은 통상적인 트랜치(Trench)형 필드 접면막을 갖는 이미지센서의 개략도를 도시한다.

도 1을 참조하면, 통상적인 이미지센서에서 고농도인 P++층(10) 및 P-Epi층(11)이 적층된 반도체층을 이용하는 바, 이하 P++층(10) 및 P-Epi층(11)을 반도체층으로 칭한다.

반도체층에 국부적으로 트랜치형 필드 절연막(12)이 형성되어 있으며, 필드 접면막(12)과 떨어져 영역에 게이트전극(13, 14, 15) 예컨대, 트랜스퍼 게이트(Transfer gate)가 배치되어 있으며, 게이트전극(13, 14, 15)과 필드 접면막(12)에 접하면서 반도체층 내부에 소정의 깊이로 형성된 포토다이오드용 불순물 영역(n-)과 포토다이오드용 불순물 영역(n-) 상부의 반도체층과 접하는 계면에 같은 포토다이오드용 불순물 영역(P0)이 배치되어 있으며, 센싱 노드와 연결되는 불순물 영역(n+)가 배치되어 있다.

한편, 상기와 같은 종래의 이미지센서는 필드 절연막(12)이 단순 트랜치 형으로 되어 있어 LOCOS(Local Oxidation of Silicon) 방법에서의 버즈버크(Bird's beak) 부분만 확장하는 포토다이오드 형태를 취하고 있다.

따라서, 추가적으로 한해져야 할 포토다이오드 용량(Capacity) 향상 측면에서의 개선이 필요하며, 보다 확실한 단위 화소(Pixel)간의 분리(Isolation)를 통해 이미지 데이터가 단위 화소간의 상호 혼합(Intermix)되는 크로스 토크(Crosstalk)를 줄일 수 있는 방법이 요구되어 진다.

본 발명이 이루고자 하는 기술적 과제

상기와 같은 종래 기술의 문제점을 해결하기 위해, 제안된 본 발명은, 삼로우 트랜치 소자분리를 이용하여, 필드 절연막으로 BSG(Boro Silicate)를 이용함으로써, 추가의 이온주입없이 채널 스탑 영역을 확보하여 소자간 분리에 따른 크로스토크를 방지할 수 있을 뿐만 아니라, 공정 단순화를 기할 수 있는 이미지센서 및 그 제조 방법을 제공하는데 그 목적이 있다.

본 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은, 제1도전형의 반도체층을 선택적으로 식각하여 트랜치를 형성하는 제1단계; 상기 트랜치에 매립된 제1도전형 불순물이 도핑된 필드 절연막을 형성하는 제2단계; 염처리를 실시하여 상기 필드 절연막에 도핑된 상기 제1도전형 불순물을 상기 필드 절연막 하부로 확산시켜 채널 스탑 영역을 형성하는 제3단계; 상기 반도체층 상에 게이트전극을 형성하는 제4단계; 이온주입을 통해 상기 채널 스탑 영역 및 상기 게이트전극에 접하는 제2도전형의 제1불순물 영역을 형성하는 제5단계; 및 상기 제1불순물 영역 내의 상기 반도체층과 접하는 계면에 제1도전형의 제2불순물 영역을 형성하는 제5단계를 포함하여 이루어지는 이미지센서 제조 방법을 제공한다.

또한, 상기 목적을 달성하기 위하여 본 발명은, 제1도전형의 반도체층에 제1도전형 불순물이 매립되어 국부적으로 형성된 트랜치 형성의 필드 절연막; 상기 필드 절연막 하부로 상기 제1도전형 불순물이 확산되어 형성된 채널 스탑 영역; 상기 필드 절연막과 떨어져 상기 반도체층 상에 형성된 게이트전극; 상기 채널 스탑 영역 및 상기 게이트전극에 접하는 제2도전형의 제1불순물 영역; 및 상기 제1불순물 영역 내의 상기 반도체층과 접하는 계면에 형성된 제1도전형의 제2불순물 영역을 포함하여 이루어지는 이미지센서를 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도 2a 내지 도 2c를 참조하여 설명하기로 한다.

도 2a는 본 발명의 실시예에 따라 형성된 이미지센서의 단면도이다.

도 2c를 참조하면, 본 발명의 이미지센서는 P형의 반도체층(20)에 P형 불순물이 매립되어 국부적으로 형성된 트랜치 형성의 필드 절연막(23)과, 필드 절연막(23) 하부로 P형 불순물이 확산되어 형성된 채널 스탑 영역(P+)과, 필드 절연막(23)과 떨어져 반도체층(20) 상에 형성된 게이트전극(24, 25)과, 채널 스탑

특 2003-0001795

영역(P+) 및 게이트전극(24, 25)에 접하는 N형의 불순물 영역(n-)과, 불순물 영역(n-) 내의 반도체층(20)과 접하는 계면에 형성된 P형의 불순물 영역(P0)을 구비하여 구성된다.

바람직하게 상기 P형 불순물층은, BSG(Boro Silicate Glass)이다.

이하, 상기한 구성을 갖는 본 발명의 이미지센서 제조 공정을 상세히 후술한다.

도 2a 내지 도 2c는 본 발명의 일 실시예에 따른 이미지센서 제조 공정을 도시한 단면도이다.

먼저 도 2a에 도시된 바와 같이, 이후 필드 절연막 영역과 활성영역을 구분하기 위하여 패드산화막(21)/버퍼 폴리실리콘막(도시하지 않음) 등을 연속적으로 도포한 후 트렌치 형성을 위한 감광막 패턴(22)을 형성하는 바, 통상적인 이미지센서에서 고농도의 P++ 층 및 P-Epi층이 적층된 반도체층을 이용하는 바, 도면부호 '20'은 이러한 P++ 층 및 P-Epi층이 적층된 반도체층을 나타낸다.

다음으로 도 2b에 도시된 바와 같이, 감광막 패턴(22)을 마스크로 하여 패드산화막(21) 및 반도체층(20)을 식각하여 트렌치(도시하지 않음)를 형성한 다음, 피할 스트립(PR strip)을 실시하여 감광막 패턴(22)을 제거한 후, 트렌치 프로파일(Profile) 형상을 위해 어닐(Anneal)을 실시한다.

이어서, P형 불순물이 도핑된 루진 레전드, BSG(Boro Silicate Glass) 등을 증착하여 트렌치를 매달린 다음, 화학 기계적 연삭(Chemical Mechanical Polishing; CMP라 함)을 실시하여 STI 구조의 필드 절연막(23)을 형성한다.

이어서, 간단한 열공정을 실시하여 필드 절연막(23) 내에 도핑된 P형 불순물을 확산시킴으로써, 채널 스탑 영역(P+)을 형성할 수 있으며, 후속 공정 진행시 자연스럽게 확산될 수도 있는 바, 미온주입 등의 추가 공정을 생략할 수 있으며, 화소간 분리를 확실시 함으로써, 크로스 토크 등의 문제를 해결할 수 있게 된다.

다음으로 도 2c에 도시된 바와 같이, 단위 화소 내 4개의 NMOS 트랜지스터의 게이트전극을 형성하기 위해 폴리실리콘막과 텅스텐 실리콘사이드막을 연속적으로 도포하고 감광막(도시하지 않음)을 도포한 후 게이트전극 형성용 마스크를 사용하여 노광 및 현상을 실시한다. 이때, 이후 형성되는 게이트전극의 한쪽면에서, 저전압 베리드 포토다이오드의 도핑 프로파일(Doping profile)이 전하 운송 효율(Charge Transfer Efficiency)을 결정하게 되므로 게이트전극의 두께를 충분히 두껍게 하여 저전압 베리드 포토 다이오드를 형성하기 위한 고에너지 N-type 미온주입과 저에너지 P-type 미온주입을 게이트전극의 한쪽면에서 자기정렬(Self Alignment)할 수 있도록 한다. (Thick Polycide 공정)

만일 게이트전극의 두께를 충분히 두껍게 하지 않으면 고에너지 N-type 미온주입시 도판트인, 인(P91)이 게이트전극을 뚫고 들어가 고에너지 P-type 미온주입과 저에너지 P-type 미온주입을 게이트전극의 한쪽면에서 자기정렬(self Alignment)할 수 없게 되어 전하 운송 효율(Charge Transfer Efficiency)이 저하된다.

이어서, 건식식각을 통해 게이트전극(24, 25, 26) 이외의 부분의 폴리사이드층을 제거하여 게이트전극(24, 25, 26)을 형성한 다음, 저전압 베리드 포토다이오드를 형성하기 위하여 감광막(도시하지 않음)을 도포한 후 고에너지 N-type 미온주입을 실시하는 바, 이때 고에너지 N-type 미온주입을 마스크의 한쪽 면은 게이트전극의 중앙에 정렬(Align)되고 다른 한쪽 면은 필드 산화막과 활성영역의 경계면에 정렬(Align)되는데 그 일부는 반드시 활성영역 안으로 들어오게 된다. 즉, 저전압 베리드 포토 다이오드는 이후 진행할 저에너지 P-type 미온주입을 실시되고 고에너지 N-type 미온주입을 실시되지 않는 영역을 반드시 포함하여야만 한다. (Connection Window 구조)

그 이유는 저에너지 P-type 미온주입에 의해 형성된 영역이 고에너지 N-type 미온주입에 의해 형성된 영역에 의해 P-Epi층과 전기적으로 분리되어서는 안되고 반드시 연결되어야 하기 때문이다. 만일 저에너지 P-type 영역이 P-Epi층과 전기적으로 연결되지 않으면 전압 베리드 포토 다이오드는 정상적으로 동작하지 않고 단순한 PN 접합과 같이 동작할 것이다. 이와같은 공정을 통해 저농도의 P-epi층에 컷 번째 딥(Deep) 베리드 PN 접합을 형성시킨후 감광막을 제거한다.

이어서, 저전압 베리드 포토 다이오드를 형성하기 위하여 감광막(도시하지 않음)을 도포한 후 저에너지 P-type 미온주입을 마스크를 사용하여 저에너지 P-type 미온주입을 실시하는 바, 이때 저에너지 P-type 미온주입을 마스크의 한쪽 면은 게이트전극의 중앙에 정렬(Align)되고 다른 한쪽면은 필드 산화막과 활성영역의 경계면에 정렬(Align)되며 활성영역 안으로 들어오는 부분은 없다. 따라서, 저에너지 P-type 미온주입 영역은 고에너지 N-type 미온주입이 되지 않은 필드 절연막(13)과 활성영역의 경계면에서 저농도의 P-epi 층과 전기적으로 반드시 연결되어 저전압 베리드 포토 다이오드 동작시 항상 등가전위(Equipotential)를 갖는다. 이와같은 공정을 통해 고에너지 N-type 미온주입층과 두 번째 얇은(Shallow) PN 접합을 형성시킨후 감광막(도시하지 않음)을 제거한다.

상기한 바와 같이 이루어지는 본 발명은, STI 구조의 필드 절연막을 형성한 후, BSG 등의 불순물이 도핑된 절연막을 이용함으로써, 화소간 분리를 효과적으로 하여 크로스 토크 등의 문제를 해결할 수 있으며, 채널 스탑 영역 형성을 위한 미온주입 공정을 생략할 수 있음을 실시예를 통해 알아 보았다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

효율의 도표

상술한 본 발명은, 화소간 데이터의 크로스 토크 및 암전류를 최소화할 수 있으며 미온주입 공정을 생략할

특 2003-0001795

수 있도록 하며, 궁극적으로 이미지센서의 성능을 크게 향상시킬 수 있으며, 공정 단순화를 기할 수 있는 탁월한 효과를 기대할 수 있다.

(57) 청구의 범위

형구항 1

이미지센서 제조 방법에 있어서,

제1도전형의 반도체층을 선택적으로 식각하여 트렌치를 형성하는 제1단계;

상기 트렌치에 매립된 제1도전형 불순물이 도핑된 필드 절연막을 형성하는 제2단계;

열처리를 실시하여 상기 필드 절연막에 도핑된 상기 제1도전형 불순물을 상기 필드 절연막 하부로 확산시켜 채널 스탑 영역을 형성하는 제3단계;

상기 반도체층 상에 게이트전극을 형성하는 제4단계;

미온주입을 통해 상기 채널 스탑 영역 및 상기 게이트전극에 접하는 제2도전형의 제1불순물 영역을 형성하는 제5단계; 및

상기 제1불순물 영역 내의 상기 반도체층과 접하는 계면에 제1도전형의 제2불순물 영역을 형성하는 제5단계

를 포함하여 이루어지는 이미지센서 제조 방법.

형구항 2

제 1 항에 있어서,

상기 제1도전형 불순물은, BSB(Boro Silicate Glass)인 것을 특징으로 하는 이미지센서 제조 방법.

형구항 3

제 1 항에 있어서,

상기 제1도전형은 P형이며, 상기 제2도전형은 N형인 것을 특징으로 하는 이미지센서 제조 방법.

형구항 4

이미지센서에 있어서,

제1도전형의 반도체층에 제1도전형 불순물이 매립되어 국부적으로 형성된 트렌치 형상의 필드 절연막;

상기 필드 절연막 하부로 상기 제1도전형 불순물이 확산되어 형성된 채널 스탑 영역;

상기 필드 절연막과 떨어져 상기 반도체층 상에 형성된 게이트전극;

상기 채널 스탑 영역 및 상기 게이트전극에 접하는 제2도전형의 제1불순물 영역; 및

상기 제1불순물 영역 내의 상기 반도체층과 접하는 계면에 형성된 제1도전형의 제2불순물 영역

를 포함하여 이루어지는 이미지센서.

형구항 5

제 4 항에 있어서,

상기 제1도전형 불순물은, BSB(Boro Silicate Glass)인 것을 특징으로 하는 이미지센서.

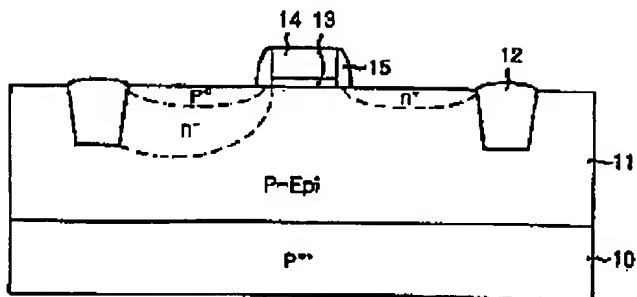
형구항 6

제 4 항에 있어서,

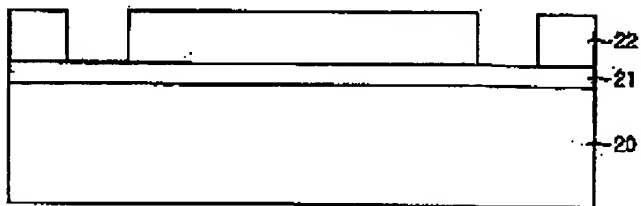
상기 제1도전형은 P형이며, 상기 제2도전형은 N형인 것을 특징으로 하는 이미지센서.

도면

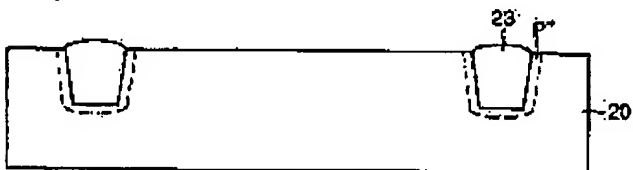
특 2003-0001 795

END

502a

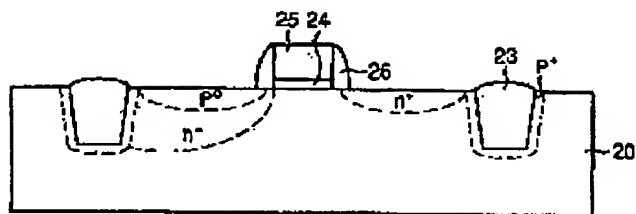


5026



2003-0001795

502



6-6

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☒ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.